

附件 4

“微纳电子技术”重点专项 2022 年度项目申报指南

为落实“十四五”期间国家科技创新有关部署安排，国家重点研发计划启动实施“微纳电子技术”重点专项。根据本重点专项实施方案的部署，现提出 2022 年度项目申报指南。

本专项总体目标是：抓住微纳电子技术的重大变革机遇，聚焦集成度、能效和设计效率三大瓶颈问题，重点突破微纳电子技术领域的前沿基础问题和关键共性技术，通过新器件、新方法、新电路和新集成的多维协同创新，形成一批具有世界先进水平的创新成果，通过关键核心技术突破带动相关技术领域的全面进展，支撑战略性新应用。专项实施周期为 5 年（2022—2026 年）。

2022 年度指南部署坚持问题导向、分步实施、重点突出的原则，拟围绕超越摩尔的微纳器件技术、智能与敏捷设计方法、新应用驱动的电路技术、模块化组装与集成等四个技术方向，按照基础前沿、共性关键技术、青年科学家项目三个层面，启动 19 项指南任务，拟安排国拨经费 2.36 亿元。其中，青年科学家项目拟安排国拨经费 3900 万元，每个项目 300 万元。共性关键技术

类项目配套经费与国拨经费比例不低于 1:1。

项目统一按指南二级标题（如 1.1）的研究方向申报。申报项目的研究内容必须涵盖二级标题下指南所列的全部研究内容和考核指标，实施周期不超过 4 年。基础前沿类项目下设课题数不超过 4 个，参与单位不超过 6 个；共性关键技术类项目下设课题数不超过 5 个，项目参与单位总数不超过 10 家。项目设 1 名项目负责人，项目中每个课题设 1 名课题负责人。

青年科学家项目不再下设课题，项目所含参与单位总数不超过 3 家。项目设 1 名项目负责人，项目负责人年龄要求，男性应为 1984 年 1 月 1 日后出生，女性应为 1982 年 1 月 1 日后出生。原则上团队其他参与人员年龄要求同上。

除指南中特殊说明外，每个指南任务拟支持项目数为 1~2 项。

“拟支持项目数为 1~2 项”是指：在同一研究方向下，当出现申报项目评审结果前两位评价相近、技术路线明显不同的情况时，可同时支持 2 项。2 个项目将采取分两个阶段支持的方式，第一阶段完成后将对 2 个项目执行情况进行评估，根据评估结果确定后续支持方式。

1. 超越摩尔的微纳器件技术

1.1 后端兼容的二维半导体晶圆、器件与电路研究（基础前沿类）

研究内容：面向集成电路先进工艺节点和三维异质集成的发展需求，研究二维半导体单晶晶圆制备；开发后端兼容的关键器件工艺，包括无损转移、欧姆接触、介质集成、三维堆叠，实现高性能二维半导体晶体管；开发基于二维半导体的垂直堆叠互补场效应晶体管（CFET）工艺，实现三维堆叠的静态随机存储器原型电路；发展基于非冯诺依曼架构的二维半导体感存算融合新器件；研制数模混合的二维半导体微处理器芯片，并实现示范性应用验证。

考核指标：实现不少于 2 种二维半导体材料的 4 英寸单晶晶圆并转移至硅衬底，单晶覆盖率大于 99%。后端兼容关键器件工艺，温度低于 350 摄氏度（℃），二维半导体晶体管接触电阻 ≤ 100 欧姆·微米（ $\Omega\cdot\mu\text{m}$ ），逻辑门延迟时间 ≤ 100 皮秒（ps）。二维半导体感存算融合器件比特数不少于 8 位，开关功耗 ≤ 1 飞焦（fJ）。实现 4 位数模混合二维半导体微处理器芯片。

1.2 片上集成的高性能磁存储器研究（共性关键技术类）

研究内容：面向数据中心、高性能终端设备对高性能、低功耗、长寿命存储器的发展需求，研究片上集成的新型嵌入式磁存储器（MRAM）技术；研究新一代高性能 MRAM 存储器件的材料、结构、工艺、器件、模型、设计、评测等关键技术，建立新型高性能 MRAM 解决方案，研制高性能、长寿命原型存储芯片，

实现存储功能演示。

考核指标：设计新型嵌入式 MRAM 器件结构；完成关键材料工艺与器件集成，核心器件特征尺寸 ≤ 100 纳米（nm）、访问速度 ≤ 2 纳秒（ns）、写入功耗 ≤ 1 皮焦/比特（pJ/bit）、可擦写次数 $\geq 1 \times 10^{13}$ ；研发兼容互补金属-氧化物-半导体（CMOS）工艺的新型 MRAM 片上集成技术，实现全电控 64 千字节（KB）高性能 MRAM 原型芯片，数据保持时间 ≥ 10 年、存储数据抗磁场干扰能力大于 1 特斯拉，并演示其读写功能及抗磁场干扰能力。

1.3 新原理超低功耗存储器件与电路研究（青年科学家项目）

研究内容：面向集成电路对高速度、低功耗、高能效、高可靠性的需求，研究基于极化翻转新原理的超低功耗存储器件与电路。内容包括研究新原理超低功耗器件在物理、材料、动力学和可靠性层面的机制；研究新型材料技术和器件结构，可制备基于硅基和新材料的超低功耗器件；协同优化器件的能耗、速度、工作电压、耐久性与保持性；研究基于新原理超低功耗器件的非冯诺依曼架构的电路设计方法，并探索基于 CMOS 工艺平台的集成方法。

考核指标（下述两项考核指标完成 1 项或多项）：（1）制备基于硅沟道的新原理超低功耗存储器件，栅长 ≤ 30 纳米（nm），单比特操作功耗 ≤ 1 飞焦（fJ），读写速度 ≤ 10 纳秒（ns），循环

耐久性 $\geq 10^8$ ，数据保持性 ≥ 10 年；（2）制备基于新材料的新原理超低功耗存储器件，单比特操作功耗 ≤ 10 飞焦（fJ），读写速度 ≤ 30 纳秒（ns），循环耐久性 $\geq 10^{10}$ ，数据保持性 ≥ 10 年。

2. 智能与敏捷设计方法

2.1 芯片可靠性和良率导向设计方法研究（共性关键技术类）

研究内容：针对先进工艺芯片，从器件可靠性机理出发，研究影响芯片可靠性的各类物理机制和可靠性模型；开发可靠性导向设计方法和 EDA 技术，包括可靠性模型快速提取方法、可靠性快速仿真技术；开发良率导向设计方法和 EDA 技术，包括新型高良率分析方法、新型灵敏度分析方法和良率快速仿真技术。研制 2 种 EDA 工具并在实际产品中应用验证，形成 1 套联动芯片可靠性、良率、性能和功耗的芯片设计流程。

考核指标：研制快速可靠性仿真和良率分析 EDA 工具，其中：（1）可靠性仿真工具，支持客户自定义，和国际主流仿真工具相比，在仿真精度一致的情况下，对百万门以上电路的后仿速度提升 100%以上；（2）良率分析工具，支持 100000 以上设计变量，支持 3sigma 以上的良率评估分析，快速瞬态仿真的灵敏度分析方法比传统蒙特卡洛方法速度提高 10 倍以上。以上 2 种工具在存储器和 SoC 芯片等产品中实现应用验证。

2.2 寄存器传输级安全分析方法研究（青年科学家项目）

研究内容：针对芯片在寄存器传输级（RTL）代码开发或者第三方 IP 核中存在的设计缺陷以及恶意逻辑，研究 RTL 层级安全漏洞分析方法，包括关键链路抽取技术、低活性节点定位技术、状态空间重构及分析技术、动态安全检测技术、硬件安全形式化验证技术和恶意逻辑精准定位技术，开发相关 EDA 工具。

考核指标：研制 RTL 层级安全漏洞分析工具，关键链路分析深度 ≥ 500 等效门/bit，低活性节点提取覆盖率 $\geq 95\%$ ，有限状态机重构率 $> 90\%$ ，安全形式化建模支持规模 > 100000 门，支持 5 种以上安全属性自动提取，在线动态检测准确度 $\geq 95\%$ ，恶意逻辑定位精度达到 bit 级。

2.3 基于强化学习的版图规划设计方法研究(青年科学家项目)

研究内容：面向集成电路规模呈指数级增长对版图规划（Floorplan）智能化的需求，研究基于强化学习的版图规划方法，设计布局状态空间和动作空间的有效表示和交互关系；研究设计奖励函数以及策略优化算法，在保证有效学习宏模块布局策略的同时，降低运行时间和算力要求；研究领域自适应策略，满足算法在不同工艺节点，多种类型设计的可迁移性。

考核指标：研制基于强化学习的版图规划算法，实现 1000 个宏模块以上的版图规划，相比于 2021 年 Google 公司发表的方法，线长、拥塞和时延等主要性能指标均提升 10% 以上。

3. 新应用驱动的电路技术

3.1 面向下一代移动通信基站的高性能毫米波收发机芯片研究（共性关键技术类）

研究内容：面向 5G/6G 毫米波无线通信基站端应用需求，研制支持多频点大带宽的高性能毫米波基站收发机芯片；研究毫米波多频点大带宽可重构多通道收发机前端架构，研究毫米波芯片关键电路宽带化技术，研究毫米波高精度幅相控制技术，研究大带宽/多频带低噪声接收机前端方案，研究大带宽功率放大器线性化技术，研究高性能大带宽频率变换技术，探索大带宽/多频带多通道发射机方案，研究阵列前端多波束赋形技术，研究毫米波封装与系统集成等关键技术研究，研究高速数字基带处理技术。

考核指标：实现 1 款支持多频点大带宽的高性能毫米波基站收发机芯片；芯片工作频率覆盖 26/28/37/39GHz 频段，通信数据传输率不低于 5Gbps，可支持基带带宽不低于 400MHz，最高支持 256-QAM 高阶调制方式；基于该芯片完成通信样机及其演示系统，通信距离大于 100 米。

3.2 处理器宽电压弹性设计关键技术研究（共性关键技术类）

研究内容：面向处理器高性能、高能效需求，开展宽电压弹性设计技术研究。研究宽电压单元、宽电压存储器等关键电路；研究 PVTa（工艺偏差、电压波动、温度和老化效应）监

测电路，通过片上实时监测 PVTa 及自适应时钟电路，在快速偏差发生时，实现电压-频率调节；研究自适应高能效架构技术，实现误差容忍/补偿的计算。并将上述技术应用于高能效 AI 处理器设计。

考核指标：研制宽电压弹性设计关键技术，并应用于高能效 AI 处理器：（1）宽电压工作，逻辑和存储器工作电压范围是标准电源电压的 0.6~1.2 倍；（2）支持片上实时 PVTa 监测，其中电压陡降（droop）监测的电压测量精度 $\leq 10\text{mV}$ ，最高采样率 2GHz，支持自适应电压-频率调节，近阈值区时钟频率提升 $>80\%$ ，自适应时钟调节速度 ≤ 2 个周期；（3）动态 PVT 自适应计算架构，硬件电路可根据 PVT 和任务变化灵活重构数据通道；（4）应用于高能效无人系统 AI 处理器，峰值计算能效 $\geq 50\text{TOPS/W}$ 。

3.3 超低功耗后量子密码处理芯片技术研究（共性关键技术类）

研究内容：围绕后量子密码（PQC）芯片技术在物联网（IoT）领域的应用需求，开展从算法、架构到电路 3 个层次的超低功耗实现和抗攻击技术研究：研究基于多变量/编码/格的硬件友好型后量子核心密码算法；研究适用于后量子算法的超低功耗专用处理器架构创新技术，包括超低功耗取指结构、运算结构与存储结构等；针对后量子密码处理器关键电路的需求，研究包括数字化攻击检测和真随机数发生器（TRNG）在内的关键电路超低功耗

设计技术；研究超低功耗后量子密码处理器的汇编器与模拟器设计技术。基于上述研究工作，构建面向 5G 边缘应用的后量子安全的软硬件应用系统。

考核指标：完成 3 款不同类型的后量子密码（PQC）处理芯片研究，并实现基于后量子密码芯片的应用示范系统。（1）基于格的后量子密码处理芯片：支持至少 3 种格密码算法，最低工作功耗小于 $500\mu\text{W}@10\text{MHz}$ 。有效检测至少 3 种故障注入攻击，检测精度能够达到 99%。（2）超低功耗后量子密码处理器芯片：针对国内外至少 4 种主流算法，最低工作功耗小于 $10\text{mW}@10\text{MHz}$ ，并提供自主开发的处理器汇编器与模拟器。（3）集成真随机数发生器（TRNG）的后量子密码处理芯片，其中 TRNG 最高原始数据率不低于 1.6Gbps，最低内核工作能耗不高于 6pJ/bit，通过国内外标准测试，具备抵抗电压、温度、频率之中至少 1 种物理攻击的能力。（4）后量子密码处理器芯片示范应用：面向 5G 边缘计算的 IoT 网关安全服务应用，执行密钥封装协议的延时低于 100ms，执行签名协议的延时低于 60ms。

3.4 高精度多模态电信号采集芯片与集成系统研究（共性关键技术）

研究内容：面向高分辨率智能传感的应用需求，研发高精度多模态电信号采集专用芯片及其集成系统：兼顾精度、功耗、多

模态、智能化的微弱电信号传感电路实现技术；高精度阻抗测量模拟前端电路实现技术；大动态输入范围光电传感模拟前端电路实现技术，低功耗片上电信号特征分类和提取算法与电路实现技术；高精度模数转换器设计技术；高能效全集成电源管理技术。

考核指标：实现高分辨率多模态微弱电信号智能传感集成芯片，支持通道数 ≥ 128 ，电压采集通道，噪声 $\leq 1\mu\text{V}_{\text{rms}}$ ，ADC 的 SNDR $\geq 90\text{dB}$ ；阻抗采集通道输入阻抗 $\geq 50\text{M}\Omega@50\text{kHz}$ ，噪声 $\leq 5\text{m}\Omega\text{V}_{\text{rms}}$ ；光信号采集通道输入动态范围 $\geq 120\text{dB}$ ；片上实现不少于 3 种微弱电信号特征分类提取算法；集成 3 路输出的能量转换器，峰值效率 $>90\%$ ，实现多模态微弱电信号采集 SoC 芯片集成和示范应用。

3.5 液氮 77K 低温处理器芯片研究（青年科学家项目）

研究内容：面向高性能/智能计算应用需求，探索液氮 77K 低温环境中计算/存储芯片技术路径。研究液氮 77K 器件模型、电路和片上存储器等关键技术，开发低温 CMOS 器件 SPICE 模型、标准单元电路和 SRAM 存储器，研制 77K 低温微处理器芯片；突破液氮 77K DRAM 芯片架构、器件模型、电路等关键技术，开发低温器件 SPICE 模型、DRAM 存储电路及接口电路，研制 77K DRAM 芯片。

考核指标：采用先进工艺，设计低温 77K AI 处理器原型芯片，

4 比特整数型主流神经网络下峰值能效超过 20TOPS/W。设计低温 77K DRAM 芯片，访问能效较常温设计提升 5 倍以上。

3.6 高密度毫米波太赫兹多波束芯片研究(青年科学家项目)

研究内容：实现工作在 100 GHz 以上的，面向未来 5.5 G/6G 通信的高效率集成太赫兹多通道收发机系统。探究太赫兹硅基高精度时延/移相设计技术，研究太赫兹低插损高速开关结构，研究发射机系统高效率技术和提升功率回退效率的方法；研究发射机系统快速波束赋形技术；研究接收机前端系统低功耗技术；研究高性能太赫兹无源器件结构与优化设计方法；研究上下行非对称太赫兹收发机架构。

考核指标：研制基于 CMOS 工艺、工作频率在 100 GHz 以上的通信收发芯片，发射机芯片通道数不低于 8 个，收发机前端数据传输率不低于 10Gbps，接收机单通道功耗小于 200 mW，支持 E/H 平面+30/-30°单波束赋形扫描，发射机 EIRP > 20 dBm。

3.7 高能效整数/浮点存内计算技术研究(青年科学家项目，拟支持 2 项)

研究内容：针对片上通用边缘端网络推理和高能效训练应用，突破存内计算支持高能效整数型计算或者浮点型计算关键技术，研究存内计算芯片高能效整数型计算或浮点型计算范式的新机制，设计高能效整数存内计算电路或高能效存内浮点计

算电路，研制基于 SRAM 的高能效整数型或浮点型计算的存内计算芯片。

考核指标：研制基于 SRAM 的高能效整数型存内计算芯片，支持边缘端通用神经网络，在 28nm 工艺下，8 比特整数型主流神经网络下峰值能效超过 35 TOPS/W，面积效率超过 100 GOPS/mm²。或研制基于 SRAM 的高能效浮点型存内计算芯片，支持推理和训练，在 28nm 工艺下，16 比特浮点型主流神经网络下峰值能效超过 3 TFLOPS/W，面积效率超过 60 GFLOPS/mm²。

3.8 智能物联网芯片自供电技术研究（青年科学家项目，拟支持 2 项）

研究内容：面向智能物联网（AIoT）的能量供应，围绕大幅增加电池寿命，突破低阈值下能量采集效率受限等瓶颈问题，基于标准 CMOS 工艺，开展如下研究：压电能量采集器阵列架构、高效率压电能量翻转技术、超低输入电压情况下的压电采集器自启动技术；片上太阳能采集和电压转化技术、多源共同采集互惠技术；高功率动态范围、高能效片上直流电压转化技术，低功耗最大功率点追踪技术，将采集到的能量高效转化输出；完成上述关键技术的系统解决方案，实现集片上太阳能采集和压电能量采集一体的超低功耗多源能量收集芯片应用演示系统。

考核指标：压电能量功率提升率（输出功率较标准全桥整流

器输出功率的提升率， $\text{MOPIR}) > 7$ ，压电采集器启动电压 $< 0.5\text{V}$ 。实现在标准 CMOS 工艺芯片集成光电二极管采集太阳能的功能，且光电二极管输出功率 $> 120\mu\text{W}/\text{mm}^2$ 。采用全集成片上直流电压转化和最大功率点追踪技术，实现太阳能和震动能同时采集，并且能实现多输入和多输出功能，压电系统输入能量源数量 ≥ 3 并且系统输出电平数量 ≥ 3 ，输出功率动态范围（最大输出功率与最小输出功率之比） $\geq 10^3$ 。

3.9 面向芯粒的高密度功率转换器电路研究（青年科学家项目，拟支持 2 项）

研究内容：聚焦 Chiplet 应用的高密度功率转换器系统架构、系统集成及控制方法，研究高密度转换器混合拓扑架构技术，提升转换器功率密度极限；研究转换器快速响应大负载切换关键技术，优化供电余量，实现系统级效率提升；研究高密度功率转换器的系统集成方法，实现系统级功率密度提升。

考核指标：采用商用硅基 CMOS/BCD 工艺研制出高密度高效率功率转换器芯片及系统，输入电压 5V ，输出电压范围 $0.6\sim 1.0\text{V}$ ，实现输出电流 10A 以上，峰值效率达到 93% ，芯片面积功率密度超过 $3\text{A}/\text{mm}^2$ ，在 60ns 内负载切换 6A 时输出瞬态欠压小于 100mV 。

3.10 面向芯粒的数字化宽频锁相环电路研究（青年科学家项

目，拟支持 2 项)

研究内容：面向 Chiplet 集成应用，聚焦研究宽频超低功耗锁相环 IP 核共性支撑技术。研究全数字锁相环系统与架构，包含高效率数字滤波器系统架构、环路噪声算法抑制技术；研究低电压低功耗宽频数字化模拟集成电路技术，包含宽带低压数控振荡器、低压高精度时间域量化器；研究低噪声全频带时钟分布和低噪声传输等技术。

考核指标：基于国内纳米级集成电路工艺，研制低压低功耗全数字宽频锁相环 IP 核。芯片频率输出范围覆盖 50MHz~6GHz，频率分辨率 $\leq 200\text{kHz}$ ；积分范围 1kHz~1GHz 内抖动 $\leq 200\text{fs}$ ；功耗 $\leq 20\text{mW}$ ；芯片总面积 $\leq 0.5\text{mm}^2$ 。

4. 模块化组装与集成

4.1 多芯片三维集成射频微系统研究（共性关键技术类）

研究内容：面向高集成度射频微系统需求，开发频谱感知多功能融合的异质多芯片三维集成技术，研究多芯片异质异构三维集成架构及标准接口设计方法；研究三维集成系统多物理场耦合协同设计与仿真方法；研究硅通孔（TSV）晶圆埋置重构、多腔异构转接板与堆叠的低损耗射频三维集成工艺技术；研究高效热管理与散热技术；依托自主可控规模三维集成工艺平台，开发多功能集成融合射频微系统模块规模制造方法。

考核指标：在 12 英寸工艺平台实现射频前端芯片、封装天线（AiP）、硅基微流道等异质异构微系统集成，堆叠层数 ≥ 4 ；Ka 波段工作频段 27~40GHz，正交一致性 $\geq 40\text{dB}$ ；V 波段工作频段 57~66GHz，瞬时带宽 $\geq 2\text{GHz}$ ；V、Ka 波段阵列规模均不低于 64；总功率 $\geq 1000\text{W}$ ，热流密度 $\geq 500\text{W}/\text{cm}^2$ 。利用 12 英寸晶圆加工和生产平台，完成 2 种硅基射频微系统产品中试。

4.2 晶圆级芯片系统级开发环境设计与验证研究（共性关键技术类）

研究内容：面向软件定义晶圆级芯片的快速开发与高效应用的需求，研究涵盖计算、存储和网络的基础算核库构建技术，设计领域专用的软硬件协同计算模型与系统架构；开展系统级仿真模型与验证方法、预制件选取及生成技术的研究，支持软硬件协同的系统架构设计与评估；研究启发式算法和强化学习结合的任务自动调度机制，研究基于主动认知的任务资源高效映射，构建面向异构资源的软件定义晶圆级芯片系统级开发环境。

考核指标：完成基础算核库的构建，支持仿真规模 ≥ 50 个芯粒预制件、芯粒预制件种类不少于 4 种、算力性能不小于 P 级的软件定义晶圆级芯片架构设计；研制 1 套软件定义晶圆级芯片开发环境，支持系统级仿真、验证与评估，并完成 3 种以上典型算法的高效部署实现；针对典型应用，相对于主流的 GCC 编译器，

效率提升 5 倍以上。

4.3 芯粒集成的统一网络架构和接口规范研究（共性关键技术类）

研究内容：面向软件定义晶上系统中晶圆互连基板的物理设计与逻辑开发标准化，研究高带宽、高灵活、高能效和低延迟的软件定义晶上互连网络架构，构建软件定义晶上互连网络通信模型与评估体系；研究支持计算、存储等异构芯粒多种通信需求的芯粒间互连接口规范，研究基于统一数据包格式的软件定义协议映射方法，实现灵活互连与高效集成；研制基于芯粒互连接口规范的晶上互连网络原型验证系统。

考核指标：基于国内自主工艺，晶圆互连网络支持 ≥ 100 个芯粒节点，支持 2 种以上层次化互连拓扑，支持容错寻路和拥塞控制机制；支持高、中、低 3 种间距密度的微凸点平面布局，间距密度 $\geq 120\mu\text{m}$ ，相邻芯粒互连间距 $\leq 200\mu\text{m}$ ；相邻芯粒互连延迟 $\leq 30\text{ns}$ ，单通道互连带宽 $\geq 6\text{Gbps}$ ，互连能效 $\leq 2\text{pJ/bit}$ ，支持软件定义通道划分与链路绑定，支持软件定义 IO 方向，支持常用片内总线协议与接口规范的软件定义映射。晶圆级芯粒互连接口行业标准提案 1 项；标准验证原型系统 1 套。